

## METHOD OF MANUFACTURING WIRING SUBSTRATE AND WIRING SUBSTRATE

**Publication number:** JP2003037137

**Publication date:** 2003-02-07

**Inventor:** CHINDA SATOSHI; SUZUKI KATSUMI

**Applicant:** HITACHI CABLE

**Classification:**

- International: H05K1/09; H01L21/60; H05K3/06; H05K3/24;  
H05K3/06; H05K1/09; H01L21/02; H05K3/06;  
H05K3/24; H05K3/06; (IPC1-7): H05K3/06; H01L21/60;  
H05K1/09; H05K3/24

- European:

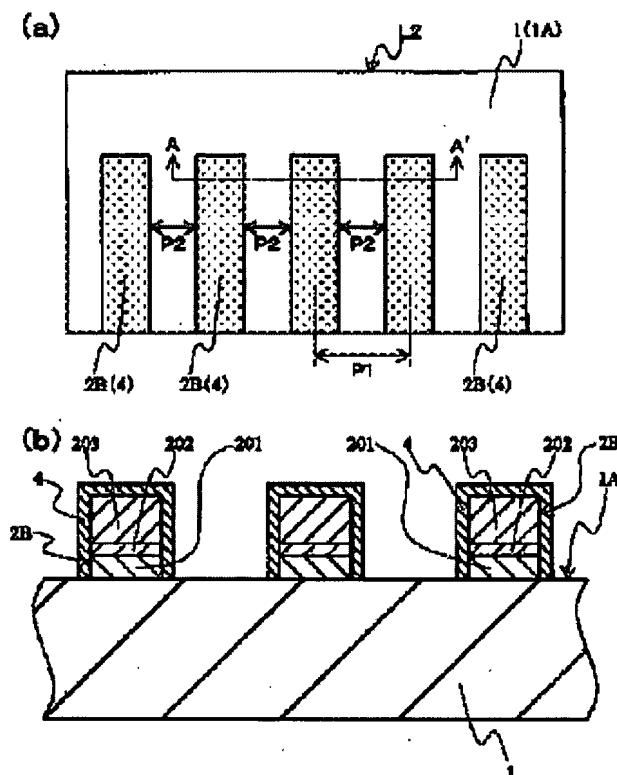
**Application number:** JP20010221357 20010723

**Priority number(s):** JP20010221357 20010723

[Report a data error here](#)

### Abstract of JP2003037137

**PROBLEM TO BE SOLVED:** To reduce short-circuit failure of conductor wiring in a method of manufacturing a wiring substrate, in which the conductor wiring is formed using an additive method. **SOLUTION:** In the method of manufacturing the wiring substrate, a thin film 201 made of first conductor is formed on the entire surface of an insulating substrate, second conductor 203 having a predetermined pattern is formed on the first conductor, and an area of the first conductor 201, where the second conductor 203 is not formed, is removed by etching processing to form the conductor wiring. A conductor that dissolves in solution to which the second conductor 203 is insoluble or hardly soluble is used as the first conductor 201.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-37137

(P2003-37137A)

(43)公開日 平成15年2月7日 (2003.2.7)

(51)Int.Cl.  
H 01 L 21/60  
H 05 K 1/09  
3/24  
// H 05 K 3/06

識別記号  
3 1 1

F I  
H 01 L 21/60  
H 05 K 1/09  
3/24  
3/06

3 1 1 W 4 E 3 5 1  
C 5 E 3 3 9  
A 5 E 3 4 3  
K 5 F 0 4 4

マーク\*(参考)

審査請求 未請求 請求項の数5 O.L (全15頁)

(21)出願番号 特願2001-221357(P2001-221357)

(71)出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(22)出願日 平成13年7月23日(2001.7.23)

(72)発明者 珍田 聰

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社総合技術研究所内

(72)発明者 鈴木 勝美

茨城県日立市助川町3丁目1番1号 日立  
電線株式会社電線工場内

(74)代理人 100116171

弁理士 川澄 茂

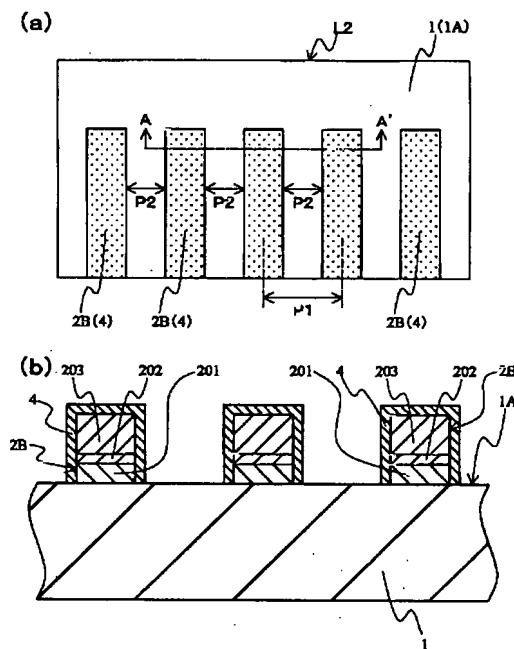
最終頁に続く

(54)【発明の名称】配線基板の製造方法及び配線基板

(57)【要約】 (修正有)

【課題】アディティブ法を用いて導体配線を形成する配線基板の製造方法において、導体配線の短絡不良を低減する。

【解決手段】絶縁基板の表面全面に第1導体からなる薄膜201を形成し、第1導体上に所定のパターンの第2導体203を形成し、第1導体201の前記第2導体203が形成されていない部分をエッチング処理で除去して導体配線を形成する配線基板の製造方法において、第1導体201に、第2導体203が不溶性あるいは難溶性を示す溶液に対して溶解する導体を用いる配線基板の製造方法である。



【特許請求の範囲】

【請求項1】絶縁基板の表面全面に第1導体からなる薄膜を形成し、前記第1導体上に所定のパターンの第2導体を形成し、前記第1導体の、前記第2導体が形成されていない部分をエッチング処理で除去して導体配線を形成する配線基板の製造方法において、前記第1導体に、前記第2導体が不溶性あるいは難溶性を示す溶液に対して溶解する導体を用いることを特徴とする配線基板の製造方法。

【請求項2】前記第1導体としてクロム(Cr)を用いて薄膜を形成し、前記第2導体として銅を用いてパターンを形成することを特徴とする請求項1記載の配線基板の製造方法。

【請求項3】前記銅を用いて前記パターンを形成した後、過マンガン酸カリウム溶液を用いて前記クロムの薄膜をエッチング処理することを特徴とする請求項2記載の配線基板の製造方法。

【請求項4】絶縁基板の表面に所定のパターンの導体配線が設けられた配線基板において、

前記導体配線は、第1導体を下地層として第2導体が積層されてなり、

前記第1導体は、前記第2導体が不溶性あるいは難溶性を示す溶液に対して溶解する導体からなることを特徴とする配線基板。

【請求項5】前記第1導体はクロム(Cr)であり、前記第2導体は銅(Cu)であることを特徴とする請求項4記載の配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板の製造方法及び配線基板に関し、特に、アディティブ法を用いて製造する微細配線基板に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、半導体装置(パッケージ)には、TAB(Tape Automated Bonding)技術を用いて製造されたテープキャリアパッケージ(Tape Carrier Package)がある。

【0003】前記テープキャリアパッケージは、例えば、図11(a)に示すような、絶縁基板1の表面1Aに、実装する半導体チップの外部端子(ボンディングパッド)に対応したパターンの導体配線2が繰り返し形成された配線基板(以下、テープキャリアと称する)を用いて製造される。前記テープキャリアは、前記絶縁基板1として、ポリイミドテープなどの一方向に長尺なテープ材料を用いており、前記絶縁基板1の長辺方向に沿った端部には搬送時のガイドあるいは位置決め用いられる開口部(スプロケットホール)1Cが設けられている。また、前記絶縁基板1には、例えば、図11(a)に示したように、半導体チップを搭載する領域の開口部

(デバイスホール)1D及びアウターリード用の開口部1Eが設けられており、前記導体配線2が前記各開口部1D, 1Eに突出している。

【0004】また、前記導体配線2は、主に、アディティブ法を用いて形成されており、図11(b)に示すように、例えば、ニッケル合金からなる第1導体204を下地層として、電解銅めっきなどの厚く形成された第2導体203が積層されている。ここで、図11(b)は図11(a)のB-B'線での断面図である。

【0005】また、前記導体配線2のうち、前記半導体チップの外部端子や実装基板と接続する部分を除く領域は、図11(a)に示したように、はんだ保護膜(ソルダレジスト)3により保護されており、前記半導体チップの外部端子等と接続される部分には、図11(b)に示したように、酸化防止、あるいは接続性の向上などを目的とした端子めっき4が設けられている。前記端子めっき4には、例えば、ニッケルめっきを下地として金めっきを形成したものがある。

【0006】前記テープキャリアでは、前記絶縁基板1上の前記導体配線2は、主に、セミアディティブ法を用いて形成され、その手順を簡単に説明すると、まず、図12(a)に示すように、例えば、ポリイミドテープなどの絶縁基板1の表面に、下地となる第1導体204の薄膜を形成する。このとき、前記第1導体204には、主に、ニッケル・銅(Ni-Cu)合金あるいはニッケル・クロム(Ni-Cr)合金といったニッケル合金が用いられ、スパッタリングにより厚さが5nmから20nm程度になるよう形成する。

【0007】また、前記第1導体204には、前記ニッケル合金以外にも、例えば、スパッタリングによる銅あるいは銅合金の薄膜などが用いられる。

【0008】次に、図12(b)に示すように、前記第1導体(ニッケル合金)204上に、導体パターンを形成する部分が開口するようにレジスト(めっきレジスト)5を形成する。前記めっきレジスト5は、感光性のドライフィルムを用いてパターンを露光、現像する写真法、あるいはスクリーン版を用いてレジストインクを印刷して硬化させる印刷法などにより形成する。

【0009】次に、図13(a)に示すように、前記第1導体(ニッケル合金)204上の前記めっきレジスト5に覆われていない部分に、第2導体203を形成する。前記第2導体203は、主に、前記第1導体(ニッケル合金)204を陰極とした電解銅めっきにより形成される。またこのとき、図13(a)では構成をわかりやすくするために模式的に示しているが、実際の前記第2導体(電解銅めっき)203の厚さは、前記第1導体(ニッケル合金)204の厚さに比べて十分に厚く、例えば、10μm程度の厚さになるよう形成する。

【0010】次に、図示はしないが、例えば、前記第1導体(ニッケル合金)204及び前記第2導体(電解銅

めっき) 203が形成された面と対向する面から前記絶縁基板1をエッチングし、前記デバイスホール1D及びアウターリード用の開口部1Eを形成する。前記絶縁基板1をエッチングする方法には、例えば、前記めっきレジスト5を形成する際に、前記めっきレジスト5を形成した面と対向する面に、図12(a)に示した各開口部1D, 1E上方が開口するエッティングレジストを形成しておき、酸化剤等のエッティング液を用いてエッティングする方法や、炭酸ガスレーザやエキシマレーザを用いたレーザエッティングによる方法などがある。

【0011】次に、図13(b)に示すように、前記めっきレジスト5を除去した後、前記第1導体(ニッケル合金)204の不要な部分、言い換えると前記第2導体(電解銅めっき)203が形成されていない部分204Aをエッティング処理により除去すると、図14に示すように、おのおのが電気的に独立した導体配線2が形成される。前記第1導体(ニッケル合金)204のエッティング処理では、例えば、塩化第二鉄( $FeCl_3$ )を水に溶解した塩化第二鉄溶液や、塩化第二銅( $CuCl_2 \cdot 2H_2O$ )を水に溶解し、適量の塩酸を加えた塩化第二銅溶液をエッティング液として使用する。

【0012】またこのとき、実際の前記第1導体(ニッケル合金)204の厚さは、前記第2導体203の厚さに比べて非常に薄く、短時間で除去することができるため、特別なエッティングレジストは用いずにクイックエッティングする場合が多い。

【0013】また、前記セミアディティブ法を用いて前記絶縁基板1上の導体配線2を形成する場合は、前記手順に限らず、例えば、あらかじめ金型による打ち抜き加工で前記開口部1C, 1D, 1Eが形成された絶縁基板1上に、前記第1導体204として、電解銅箔や圧延銅箔などの薄膜を接着した後、図12(b)に示したような前記めっきレジスト5を形成し、前記銅箔上に前記第2導体(電解銅めっき)203を形成する方法などもある。

【0014】前記手順に沿って前記絶縁基板1上に前記導体配線2を形成した後は、図11(a)に示したように、前記導体配線2のうち、半導体チップの外部端子や実装基板などと接続する端子部分を除く領域に、はんだ保護膜(ソルダーレジスト)3を形成し、前記導体配線2の前記はんだ保護膜3から露出した部分(端子部分)の表面に、図11(b)に示したような端子めっき4を形成する。前記端子めっき4は、例えば、無電解ニッケルめっきを下地として無電解金めっきを形成する。

【0015】以上の手順に沿って製造されたテープキャリアを用いて半導体装置を製造する場合には、例えば、図15に示すように、前記絶縁基板1の前記導体配線2が設けられた面1Aと、コレット8により搬送される半導体チップ6の外部端子601を向かい合わせに配置して位置合わせを行い、前記絶縁基板1に設けられた開口

部(デバイスホール)1Dからボンディングツール10を押し当てて、前記導体配線2と前記半導体チップの外部端子601を電気的に接続する。このとき、前記半導体チップの外部端子601上、あるいは前記導体配線2上に、はんだや金などのバンプ7を設けておき、前記ボンディングツール10を用いた熱圧着、あるいは超音波を併用した熱圧着により接続する。

【0016】前記テープキャリアに前記半導体チップ6を搭載(実装)した後は、図16に示すように、前記絶縁基板1に設けられた前記デバイスホール1Dから未硬化状態のエポキシ樹脂などの封止樹脂11を流し込んで硬化させ、前記導体配線2と前記半導体チップの外部端子601の接続部を封止する。

【0017】また、前記テープキャリアに前記半導体チップ6を実装する方法としては、図16に示したように、前記絶縁基板1の前記導体配線2が形成された面1Aに実装する方法の他に、例えば、図17に示すように、前記絶縁基板1の前記導体配線2が形成された面1Aと対向する面1B側から、前記半導体チップ6を前記絶縁基板1のデバイスホール1D内に収容する状態で実装する方法もある。

【0018】また、前記テープキャリアは、近年の半導体チップの小型化や高機能化、半導体装置の小型化により、前記絶縁基板1上に形成する前記導体配線2の微細化、高密度化が進んでいる。前記導体配線2が微細化されたテープキャリアのひとつに、前記液晶パネルの駆動用ドライバに用いられるテープキャリアがある。

【0019】前記液晶パネルの駆動用ドライバに用いられるテープキャリアは、図18及び図19に示すように、ドライバチップ(半導体チップ)の動作電源あるいはデータ入力用の信号線2Aと、前記ドライバチップで処理した表示データ信号を液晶パネルの各画素に出力するソース信号線2Bとが設けられている。ここで、図19は図18の領域L2の拡大平面図である。

【0020】近年、前記液晶パネルは高精細化が進み、表示画素数が増大しており、前記テープキャリア上に設けられる前記ソース信号線2Bの数が増加する一方で、小型化も要求されており、図19に示した、前記ソース信号線2Bの導体ピッチP1が狭くなり、導体間隙P2は $40\mu m$ 程度になってきている。

【0021】前記液晶パネルの駆動用ドライバに用いるテープキャリアのように、前記導体配線2の導体ピッチP1及び導体間隙P2が狭くなつくると、図11に示したように、前記絶縁基板1の開口部1D, 1Eに突出するような配線を形成することが難しくなるため、前記テープキャリアに半導体チップを搭載(実装)する際にCOF(Chip On Film)方式がとられる。

【0022】前記COF方式で半導体チップ6を実装する場合、前記テープキャリアは、図18に示したように、前記絶縁基板1に前記デバイスホール1Dが設けられて

おらず、前記半導体チップ6を搭載（実装）する際には、まず、図20に示すように、前記絶縁基板1の導体配線2が形成された面1Aに、コレット8により搬送された半導体チップ6の外部端子を向かい合わせに配置して位置合わせを行う。このとき、前記絶縁基板1には前記デバイスホール1Dがなく、直接観察しながら位置合わせをすることができないため、前記半導体チップ6を向かい合わせた面1Aと対向する面1B側から前記絶縁基板1に光9を照射し、前記絶縁基板1を透かして見える像を観察して前記導体配線2と前記半導体チップ6の位置合わせを行う。

【0023】次に、図21に示すように、前記絶縁基板1の前記半導体チップ6を向かい合わせた面と対向する面1Bからポンディングツール10を押し当てて、前記バンプ7を介在させて前記導体配線2と前記半導体チップの外部端子601とを接続する。

【0024】その後、図22に示すように、前記テープキャリアと前記半導体チップ6の隙間に、例えば、未硬化状態の熱硬化性樹脂からなる封止樹脂11を流し込んで硬化させ、前記導体配線2と前記半導体チップの外部端子601の接続部を封止する。

【0025】前記COF方式で前記半導体チップ6を実装する場合には、図20に示したように、前記絶縁基板1を透かして見える像により位置合わせを行うため、前記絶縁基板1として透明度の高い材料が用いられる。

【0026】

【発明が解決しようとする課題】しかしながら、前記従来のアディティブ法を用いた配線基板（テープキャリア）の製造方法では、前記第1導体204の不要な部分204Aをエッチング処理で除去する際に、十分なエッチングができず、図23(a)に示すように、前記第2導体（電解銅めっき）203の外側の領域にエッチング残り204A'が生じやすいという問題があった。前記第1導体204のエッチング残り204A'は、前記第2導体203が高密度な部分、すなわち前記絶縁基板1上に形成する導体配線2の数が多く、密集した部分で生じやすい。そのため、例えば、図18及び図19に示した、液晶パネルの駆動用ドライバに用いるテープキャリアのように、導体間隙P2が非常に狭いテープキャリアでは、前記第1導体204の不要な部分204Aの除去が不十分になりやすく、図23(b)に示すように、隣接する導体配線（第2導体203）が前記第1導体204のエッチング残り204A'により短絡してしまい、不良品になってしまうという問題があった。

【0027】特に、前記第1導体204として、例えば、ニッケル・銅合金やニッケル・クロム合金等のニッケル合金を用いた場合、前記塩化第二鉄溶液や前記塩化第二銅溶液をエッチング液として用いてエッチング処理をすると、前記第1導体（ニッケル合金）204のエッチング速度が前記第2導体（電解銅めっき）202のエ

ッチング速度よりも遅いため、図23(a)及び図23(b)に示した、前記第1導体のエッチング残り204Aがさらに生じやすくなるという問題があった。

【0028】また、前記第1導体204のエッチング残り204A'を防ぐ手段として、前記第1導体204のエッチング処理にかける時間を長くする方法があるが、処理時間を長くすると、その分前記第2導体203の表面もエッチングされてしまうため、図24に示すように、前記第2導体203の角（エッジ）203Aが丸くなる、あるいは表面の平坦性が悪くなるという問題があった。前記第2導体203の表面の平坦性が悪くなることにより、例えば、半導体チップを実装する際の前記バンプ7の接続性が低下するという問題があった。

【0029】本発明の目的は、アディティブ法を用いて導体配線を形成する配線基板の製造方法において、前記導体配線の短絡不良を低減することが可能な技術を提供することにある。

【0030】本発明の他の目的は、アディティブ法を用いて導体配線を形成する配線基板の製造方法において、前記導体配線の表面の平坦性をよくすることが可能な技術を提供することにある。

【0031】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【0032】

【課題を解決するための手段】本願において開示される発明の概要を説明すれば、以下のとおりである。

【0033】(1) 絶縁基板の表面全面に第1導体からなる薄膜を形成し、前記第1導体上に所定のパターンの第2導体を形成し、前記第1導体の前記第2導体が形成されていない部分をエッチング処理で除去して導体配線を形成する配線基板の製造方法において、前記第1導体に、前記第2導体が不溶性あるいは難溶性を示す溶液に対して溶解する導体を用いる配線基板の製造方法である。

【0034】前記(1)の手段によれば、エッチング処理で前記第1導体の不要な部分を除去する際に、前記第2導体が難溶性あるいは不溶性を示す溶液を用いてエッチングすることができるため、前記第1導体をエッチングしたときに前記第2導体はほとんどエッチングされない。そのため、前記第1導体のエッチング処理にかける時間を十分にとり、前記第1導体のエッチング残りを低減させることができ、前記導体配線間の短絡不良を低減させることができる。

【0035】また、前記第1導体のエッチング処理にかける時間を長くとった場合でも、前記第2導体はほとんどエッチングされないため、前記第2導体の表面、言い換えると前記導体配線表面の平坦性が悪くなるのを防ぐことができる。

【0036】また、前記第1導体をエッチング処理する

際に、前記第2導体がほとんどエッチングされないため、前記導体配線の微細化、高密度化が進み、前記第1導体のエッチング速度が低下した場合でも、前記第2導体をほとんどエッチングすることなく前記第1導体のエッチングを行い、前記第1導体のエッチング残りを低減させることができる。

【0037】また、前記第1導体のエッチング残りを低減させることにより、前記配線基板の、前記エッチング残りによる短絡不良を低減させることができるために、前記配線基板の製造歩留まりが向上し、前記配線基板の製造コストを低減させることができる。

【0038】また、前記(1)の手段において、前記第1導体と前記第2導体の組み合わせとしては、前記第1導体としてクロム(Cr)を用い、前記第2導体として銅(Cu)を用いるのが好ましい。このとき、前記クロムを溶解するエッチング溶液には、例えば、過マンガン酸カリウム水溶液を用いることができる。前記第2導体として用いる銅は、過マンガニ酸カリウム水溶液に対しては不溶性(難溶性)であるため、前記第2導体(銅)はほとんどエッチングされない。

【0039】また、前記第1導体としてクロムを用いる場合には、前記第1導体を形成する工程で、例えば、スパッタリングにより前記絶縁基板上にクロム薄膜を形成する方法がある。しかしながら、前記クロム薄膜は空気中で酸化しやすいため、前記クロム薄膜を形成した直後に、スパッタリングにより前記クロム薄膜表面に酸化防止用の銅薄膜を形成するのが好ましい。

【0040】また、前記第1導体としてクロムを用い、前記クロムの薄膜上に銅のスパッタ膜を形成した場合には、前記第1導体層に前記第2導体として電解銅めっきを形成する。その後の前記第1導体をエッチング処理する工程では、まず、例えば、塩化第二鉄溶液や塩化第二銅溶液などを用いて前記銅スパッタ膜を除去してから、前記過マンガニ酸カリウム水溶液で前記クロムの薄膜を除去する。なお、前記銅スパッタ膜を除去するときに、前記第2導体の表面もエッチングされるため、前記銅スパッタ膜の厚さは、前記クロム薄膜の酸化を防ぐ、かつ前記第2導体表面の平坦性に影響が出ない程度の厚さにする必要があり、例えば、10nm程度にするのが好ましい。

【0041】なお、前記第1導体と前記第2導体の組み合わせには、前記クロムと銅の他にも種々の組み合わせが考えられる。例えば、前記第1導体として、アルカリ性の溶液に溶解する金属、導電性材料を用い、前記第2導体として、アルカリ性の溶液に不溶性あるいは難溶性を示す金属、導電性材料を用いることにより、前記第1導体をエッチング処理するときに前記第2導体は溶解せず、前記第1導体のエッチング残りを低減させるとともに、表面の平坦性が悪くなることを防げる。

【0042】(2) 絶縁基板の表面に所定のパターンの

導体配線が設けられた配線基板において、前記導体配線は、第1導体を下地層として第2導体が積層されてなり、前記第1導体は、前記第2導体が不溶性あるいは難溶性を示す溶液に対して溶解する配線基板である。

【0043】前記(2)の手段によれば、前記第1導体上に積層された前記第2導体は、前記第1導体を溶解(エッチング処理)する際に前記第2導体はほとんど溶解していないため、前記第2導体の表面の平坦性がよく半導体チップの実装性をよくすることができる。

【0044】また、前記第1導体と前記第2導体の組み合わせとしては、前記第1導体にクロム(Cr)を用い、前記第2導体に銅(Cu)を用いるのが好ましい、この場合、前記絶縁基板として主に用いられるポリイミド材料と前記クロムの接着性(密着性)が非常によいため、前記導体配線の剥離を低減し、信頼性の高い配線基板を得ることができる。

【0045】以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

【0046】なお、実施例を説明するための全図において、同一機能を有するものは、同一符号をつけ、その繰り返しの説明は省略する。

【0047】

【発明の実施の形態】(実施例1) 図1及び図2は、本発明による一実施例の配線基板の概略構成を示す模式図であり、図1は配線基板全体の平面図、図2(a)は図1の領域L2の拡大平面図、図2(b)は図2(a)のA-A'線での断面図である。

【0048】図1、図2(a)、及び図2(b)において、1は絶縁基板、1Aは絶縁基板の表面(第1正面)、1Cは開口部(スプロケットホール)、2は導体配線、2Aは入力信号線、2Bはソース信号線(出力信号線)、201は第1導体(クロムスパッタ膜)、202は第1導体保護膜(銅スパッタ膜)、203は第2導体(電解銅めっき)、3ははんだ保護膜(ソルダレジスト)、4は端子めっき、L1はチップ搭載領域である。

【0049】本実施例の配線基板は、図1に示すように、絶縁基板1の表面1Aに、所定のパターンの導体配線2が設けられている。また、本実施例の配線基板は、液晶パネルの駆動用ドライバに用いられるものであり、前記導体配線2として、チップ搭載領域L1に実装するドライバチップ(半導体チップ)の動作電源端子や信号入力端子と接続される入力信号線2Aと、前記液晶パネルの各表示画素に表示データ信号を出力するソース信号線2Bが設けられている。

【0050】また、前記導体配線2のうち、前記ソース信号線2Bは、前記液晶パネルの表示画素の数に相当する本数だけ設けられており、図1及び図2(a)に示すように、非常に密に設けられている。本実施例の配線基板では、図2(a)に示した、前記ソース信号線2Bの導体ピッチP1及び導体間隙P2は約40μm程度であ

るとする。

【0051】また、本実施例の配線基板に設けられた前記導体配線2は、図2(b)に示すように、下地となる第1導体201上に、第1導体保護膜202及び第2導体が順次積層された構成になっている。本実施例の配線基板では、前記第1導体201はクロム(Cr)のスパッタ膜からなり、前記第1導体保護膜202は銅のスパッタ膜からなり、前記第2導体203は電解銅めっきからなるものとする。また、図2(b)の断面図では、前記導体配線2の構成をわかりやすくするために厚さを変えているが、実際の配線基板では、前記第1導体(以下、クロムスパッタ膜と称する。)201の厚さは約20nm(200オングストローム)程度、前記第1導体保護膜(以下、銅スパッタ膜と称する。)202の厚さは約10nm(100オングストローム)程度、前記第2導体(以下、電解銅めっきと称する。)203の厚さは約10μm程度であるものとする。

【0052】また、前記導体配線2のうち、前記半導体チップの外部端子や実装基板と接続する端子部分を除く領域は、図1に示したように、はんだ保護膜(ソルダーレジスト)3により覆われ、保護されており、前記半導体チップの外部端子等と接続される端子部分には、図2(b)に示したように、酸化防止あるいは接続性向上させるための端子めっき4が設けられている。前記端子めっき4には、例えば、ニッケルめっきを下地として金めっきを形成したものがある。

【0053】また、前記配線基板は、前記絶縁基板1として、ポリイミドテープなどの一方向に長尺なテープ材料を用いており、前記テープ材料の全域にわたって、図1に示したようなパターンの導体配線2が繰り返し設けられたテープキャリアであり、前記絶縁基板1の長辺方向に沿った端部には、搬送時のガイドあるいは位置決めに用いられる開口部(スプロケットホール)1Cが設かれている。

【0054】また、本実施例の配線基板(テープキャリア)では、前記ソース信号線2Bのように、導体間隙P2が非常に狭いパターンが設けられており、従来のTBGA(Tape Ball Grid Array)型のパッケージに用いられる配線基板のように、デバイスホール等の開口部に突出する導体配線を形成することが困難であり、COF方式で半導体チップを搭載することが予想される。前記COF方式で半導体チップを実装する場合、前記半導体チップを実装する際の位置合わせは前記絶縁基板1を透かした像により行うため、前記絶縁基板1には透明度の高い材料が用いられる。

【0055】図3乃至図5は、本実施例の配線基板の製造方法を説明するための模式図であり、図3(a)、図3(b)、図4(a)、図4(b)、図5(a)、及び図5(b)はそれぞれ、各製造工程における図2(a)のA-A'線に相当する断面図を示している。

【0056】以下、図3乃至図5に沿って、本実施例の配線基板の製造方法について説明する。

【0057】まず、ポリイミドテープなどの一方向に長尺なテープ状をした絶縁基板1の第1主面1A全面に、図3(a)に示すように、クロムをスパッタリングして、例えば、厚さ20nm程度のクロムスパッタ膜201を形成した後、連続して前記クロムスパッタ膜201上に銅をスパッタリングして、例えば、厚さ10nm程度の銅スパッタ膜202を形成する。ここで、前記銅スパッタ膜202は、前記クロムスパッタ膜201の酸化を防ぐために形成する。

【0058】次に、前記銅スパッタ膜202上に、図3(b)に示すように、所定位置が開口したレジスト(めっきレジスト)5を形成する。本実施例の配線基板では、セミアディティブ法を用いて前記導体配線2を形成するため、前記めっきレジスト5は、図1に示したような、前記導体配線2を形成する部分が開口するように形成される。このとき、前記めっきレジスト5は、感光性的レジストフィルムを露光、現像してパターンを形成する写真法、あるいはスクリーン版を用いてレジストインクを印刷し、硬化させる印刷法により形成する。

【0059】次に、前記クロムスパッタ膜201及び前記銅スパッタ膜202を陰極とした電解めっき法により、図4(a)に示すように、前記めっきレジスト5の開口部内に電解銅めっき203を形成する。このとき、前記電解銅めっき203の厚さは、前記クロムスパッタ膜201及び前記銅スパッタ膜202の厚さに比べて十分厚くなるようにし、例えば、10μm程度の厚さに形成する。

【0060】次に、図4(b)に示すように、前記めっきレジスト5を除去した後、クリックエッチングにより、前記銅スパッタ膜202の不要な部分、言い換えると、前記電解銅めっき203が形成されていない部分202Aを除去する。このとき、前記銅スパッタ膜202のエッチングには、例えば、塩化第二鉄( $FeCl_3$ )を水に溶解した塩化第二鉄溶液、あるいは塩化第二銅( $CuCl_2 \cdot 2H_2O$ )を水に溶解し、適量の塩酸を加えた塩化第二銅溶液をエッチング液として用いる。またこのとき、前記電解銅めっき203の表面もエッチングされてしまうが、このときの前記電解銅めっき203のエッチング量T1は前記銅スパッタ膜202の厚さT2程度、すなわち10nm程度であり、前記電解銅めっき203の厚さ10μmに比べると十分小さい量である。そのため、前記銅スパッタ膜202をエッチングした後の状態は、図5(a)に示したようになり、前記電解銅めっき203のエッジが丸くなったり、表面の平坦性が悪くなったりすることはほとんどない。

【0061】次に、前記クロムスパッタ膜201のエッチング処理を行い、図5(b)に示すように、前記クロムスパッタ膜201の不溶な部分201Aを除去して導

体配線2を形成する。このとき、前記クロムスパッタ膜201のエッチングには、例えば、過マンガン酸カリウム水溶液をエッチング液として用いる。ここで用いる前記過マンガニ酸カリウム水溶液は、クロム(Cr)は腐食溶解させるが、銅(Cr)はほとんど溶解しない溶液であり、前記過マンガニ酸カリウム水溶液を用いて前記クロムスパッタ膜201をエッチングしたときに、前記電解銅めっき202の表面はほとんどエッチングされない。すなわち、前記クロムスパッタ膜201を選択的にエッチングすることができるため、十分に時間をかけて前記クロムスパッタ膜201をエッチングすることができ、前記クロムスパッタ膜201のエッチング残りを低減し、前記導体配線2の下地層(クロムスパッタ膜)のエッチング残りによる導体配線間の短絡不良を防ぐことができる。

【0062】また、前記クロムスパッタ膜201のエッチング残りを低減させるために、前記クロムスパッタ膜201のエッチングにかける時間を長くとった場合でも、エッチング溶液として過マンガニ酸カリウム水溶液を用いているため、前記電解銅めっき203はほとんどエッチングされず、前記電解銅めっき203の表面の平坦性が悪くなるのを防げる。

【0063】前記クロムスパッタ膜201のエッチング処理をして、図5(b)に示したような前記導体配線2を形成した後は、例えば、前記導体配線2の、半導体チップの外部端子や実装基板と接続する端子部を除く領域に、はんだ保護膜(ソルダレジスト)3を形成した後、前記導体配線2の前記ソルダレジスト3から突出している部分、すなわち半導体チップの外部端子や実装基板と接続する端子部に端子めっき4を形成する。このとき、前記ソルダレジスト3は、スクリーン版を用いてレジストインクを印刷する印刷法、あるいは感光性のドライフィルムを用いた写真法により形成し、前記端子めっき4は、例えば、無電解金めっき、無電解ニッケルめっきを下地とした無電解金めっき、錫めっき、錫合金めっき等で形成する。

【0064】また、前記ソルダレジスト3及び前記めっき4を形成する工程については、前記ソルダレジスト3を形成した後、前記導体配線2の露出部分に前記端子めっき4を形成する方法のほか、先に前記導体配線2の露外面に前記めっき4を形成した後、所定領域に前記ソルダレジスト3を形成する方法がある。

【0065】以上の手順により製造された本実施例の配線基板(テープキャリア)は、TAB技術を用いてドライバチップ(半導体チップ)を実装し、所定箇所を樹脂封止した後、個片化することにより液晶ドライバ装置(半導体装置)となる。

【0066】図6乃至図10は、本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式図であり、図6は位置合わせ時の平面図、図7は図6の任意

の切断線での断面図、図8は図6の領域L2の拡大平面図、図9はポンディング時の断面図、図10は封止時の断面図である。

【0067】以下、図6乃至図10に沿って本実施例の配線基板を用いた半導体装置の製造方法について説明する。

【0068】前記配線基板(テープキャリア)上に半導体チップを搭載(実装)する工程では、TAB(Tape Automated Bonding)技術が用いられ、まず、図6、図7、及び図8に示すように、前記絶縁基板1の第1主面1Aと半導体チップ6を向かいあわせにし、前記導体配線2の端子部と前記半導体チップ6の外部端子601との位置合わせを行う。このとき、前記半導体チップの外部端子601上には、はんだや金などのバンプ7が設けられており、図7に示したように、コレット8により搬送される。

【0069】また、本実施例の配線基板では、前記ソース信号線2Bのように導体間隙が非常に狭く、COF方式で半導体チップを実装するため、図7に示したように、前記絶縁基板1の第1主面1Aと対向する第2主面1Bから光9を照射し、図8に示したように、前記絶縁基板1から透けて見える導体配線2及び半導体チップの外部端子601の像を用いて位置合わせを行う。

【0070】次に、図9に示すように、前記絶縁基板1の第2主面1B側から、ポンディングツール10を押し当てて、前記導体配線2と前記半導体チップの外部端子601とを前記バンプ7を介在させて接続する。

【0071】その後、図10に示すように、前記絶縁基板1と前記半導体チップ6の間に、例えば、未硬化の熱硬化性樹脂などの封止樹脂11を流し込んで硬化させ、前記導体配線2と前記半導体チップの外部端子601の接続部を封止する。

【0072】以上説明したように、本実施例の配線基板によれば、前記絶縁基板1上にセミアディティブ法を用いて前記導体配線2を形成する際に、下地となる第1導体201として前記クロムスパッタ膜を形成し、前記クロムスパッタ膜201上に第2導体203として電解銅めっきを形成した後、前記電解銅めっき203が不溶性(難溶性)を示す過マンガニ酸カリウム水溶液をエッチング液として前記クロムスパッタ膜201をエッチングすることにより、前記クロムスパッタ膜201のみを選択的にエッチングすることができる。そのため、前記電解銅めっき203の表面の平坦性を悪くすることなく、前記クロムスパッタ膜201をエッチングすることができる。

【0073】また、前記導体配線2が微細化され、前記クロムスパッタ膜201のエッチング速度が低下した場合でも、前記電解銅めっき203が過マンガニ酸カリウム水溶液に対して不溶性(難溶性)であるため、十分に時間をかけて前記クロムスパッタ膜201をエッチング

でき、エッチング残りを低減させることができる。そのため、前記エッチング残りによる導体間の短絡不良を低減できる。また、前記導体間の短絡不良を低減させることにより、前記配線基板の製造歩留まりを向上でき、前記配線基板の製造コストを低減させることができる。

【0074】また、前記第1導体201として、前記絶縁基板1として主に用いられるポリイミドとの接着性（密着性）のよいクロムを用いることにより、前記導体配線2の剥離を低減することができ、信頼性の高い配線基板を得ることができる。

【0075】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはもちろんである。

【0076】例えば、前記実施例では、セミアディティブ法を用いて前記導体配線2を形成する際に下地層となる第1導体201としてクロムスパッタ膜を用い、前記第1導体上に電解銅めっきを積層した後、前記クロムスパッタ膜のみを選択的に腐食溶解する過マンガン酸カリウム水溶液をエッチング液に用いているが、これに限らず、前記第1導体を溶解するエッチング液に対して不溶性あるいは難溶性を示す第2導体を形成した後、前記第1導体のみを選択的にエッチングできればよく、例えば、前記第1導体として、アルカリ性の溶液に溶解する金属、導電性材料を用い、前記第2導体として前記アルカリ性の溶液に対して不溶性あるいは難溶性を示す金属、導電性材料を用いることもできる。

【0077】また、前記実施例では、前記配線基板として、液晶パネルの駆動用ドライバに用いる配線基板を例にあげて説明したが、これに限らず、種々の用途に用いる配線基板に適用できることは言うまでもない。このとき、前記配線基板上に半導体チップを実装する方法は、前記実施例で説明したCOF方式に限定されるものではなく、例えば、TBGA (Tape Ball Grid Array) パッケージに用いる配線基板のように、デバイスホールが設けられている配線基板に適用してもよい。

【0078】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0079】(1) アディティブ法を用いて導体配線を形成する配線基板の製造方法において、前記導体配線の短絡不良を低減することができる。

【0080】(2) アディティブ法を用いて導体配線を形成する配線基板の製造方法において、前記導体配線の表面の平坦性をよくすることができる。

【図面の簡単な説明】

【図1】本発明による一実施例の配線基板の概略構成を示す模式図であり、配線基板全体の平面図である。

【図2】本実施例の配線基板の概略構成を示す模式図で

あり、図2(a)は図1の領域L2の拡大平面図、図2(b)は図2(a)のA-A'線での断面図である。

【図3】本実施例の配線基板の製造方法を説明するための模式図であり、図3(a)及び図3(b)はそれぞれ、各工程での断面図である。

【図4】本実施例の配線基板の製造方法を説明するための模式図であり、図4(a)及び図4(b)はそれぞれ、各工程での断面図である。

【図5】本実施例の配線基板の製造方法を説明するための模式図であり、図5(a)及び図5(b)はそれぞれ、各工程での断面図である。

【図6】本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式平面図である。

【図7】本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式図であり、図6の断面図である。

【図8】本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式図であり、図6の領域L2の拡大平面図である。

【図9】本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式平面図である。

【図10】本実施例の配線基板を用いた半導体装置の製造方法を説明するための模式平面図である。

【図11】従来の配線基板（テープキャリア）の概略構成を示す模式図であり、図11(a)は配線基板の平面図、図11(b)は図11(a)のB-B'線での断面図である。

【図12】従来の配線基板の製造方法を説明するための模式図であり、図12(a)及び図12(b)はそれぞれ、各工程での断面図である。

【図13】従来の配線基板の製造方法を説明するための模式図であり、図13(a)及び図13(b)はそれぞれ、各工程での断面図である。

【図14】従来の配線基板の製造方法を説明するための模式断面図である。

【図15】従来の配線基板を用いた半導体装置の製造方法を説明するための模式断面図である。

【図16】従来の配線基板を用いた半導体装置の製造方法を説明するための模式断面図である。

【図17】従来の配線基板を用いた半導体装置の別の製造方法を説明するための模式断面図である。

【図18】従来の液晶パネルの駆動用ドライバに用いる配線基板の概略構成を示す模式平面図である。

【図19】従来の液晶パネルの駆動用ドライバに用いる配線基板の概略構成を示す模式図であり、図18の領域L2の拡大平面図である。

【図20】従来のCOF方式による半導体装置の製造方法を説明するための模式断面図である。

【図21】従来のCOF方式による半導体装置の製造方法を説明するための模式断面図である。

【図22】従来のCOF方式による半導体装置の製造方法を説明するための模式断面図である。

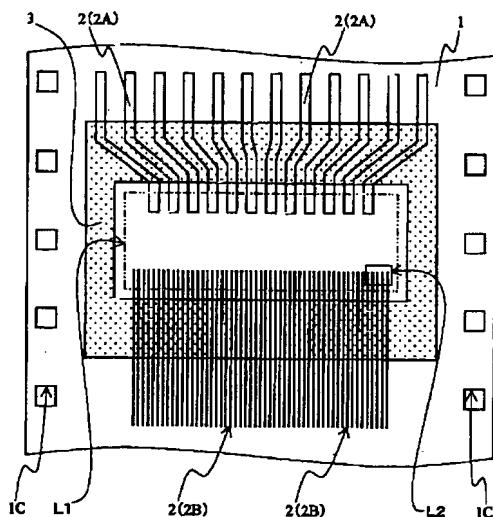
【図23】従来の配線基板の課題を説明するための模式断面図である。

【図24】従来の配線基板の課題を説明するための模式断面図である。

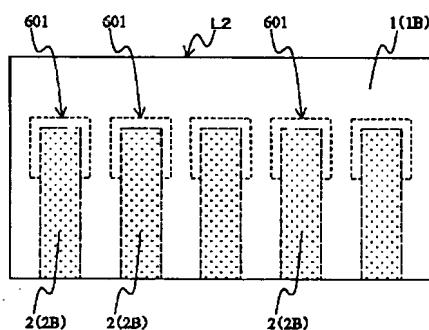
【符号の説明】

- 1 絶縁基板
- 1 A 絶縁基板の第1主面
- 1 B 絶縁基板の第2主面
- 1 C 開口部（スプロケットホール）
- 1 D 開口部（デバイスホール）
- 1 E 開口部
- 2 導体配線
- 2 A 入力信号線
- 2(2A) ソース信号線（出力信号線）
- 201 第1導体（クロムスパッタ膜）
- 202 第1導体保護膜（銅スパッタ膜）
- 203 第2導体（電解銅めっき）
- 204 第1導体（ニッケル合金）
- 3 はんだ保護膜（ソルダレジスト）
- 4 端子めっき
- 5 めっきレジスト
- 6 半導体チップ
- 601 半導体チップの外部端子
- 7 バンプ
- 8 コレット
- 9 光
- 10 ボンディングツール
- 11 封止樹脂

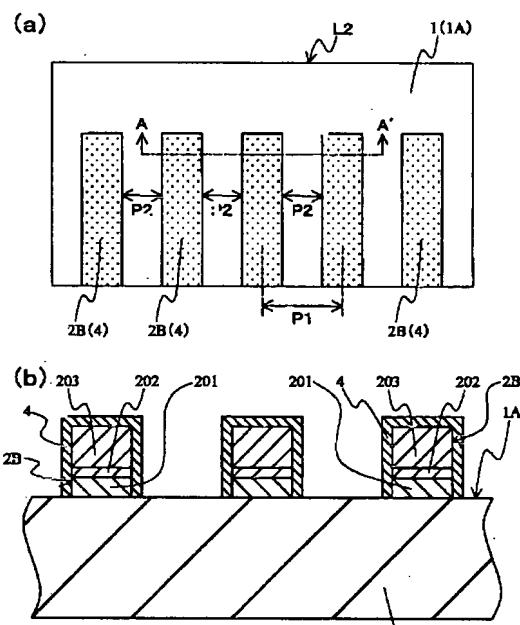
【図1】



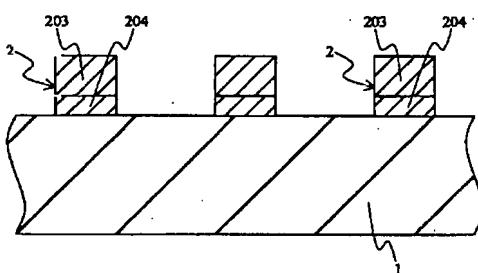
【図8】



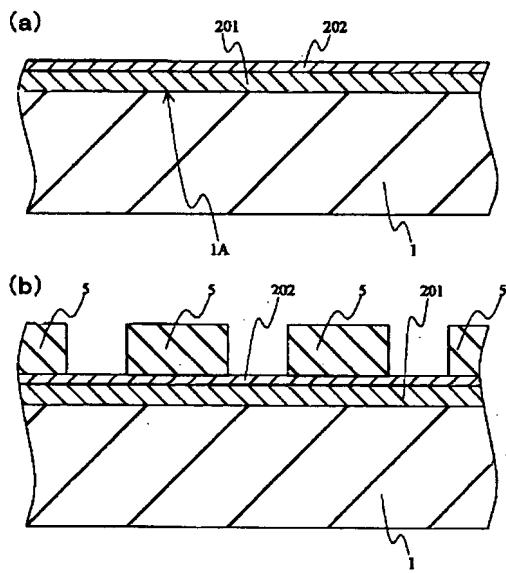
【図2】



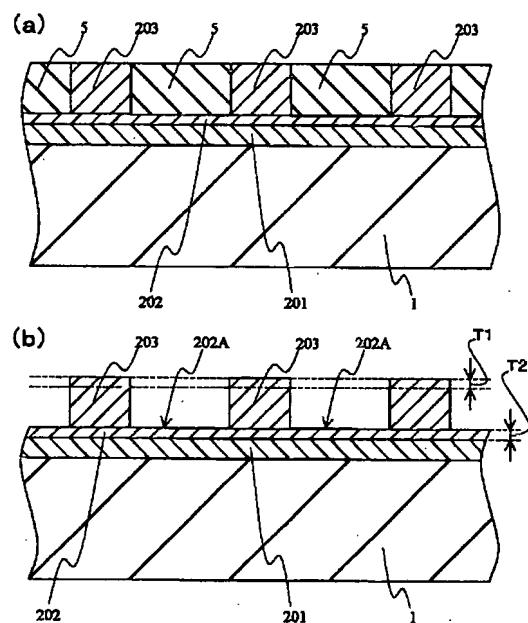
【図14】



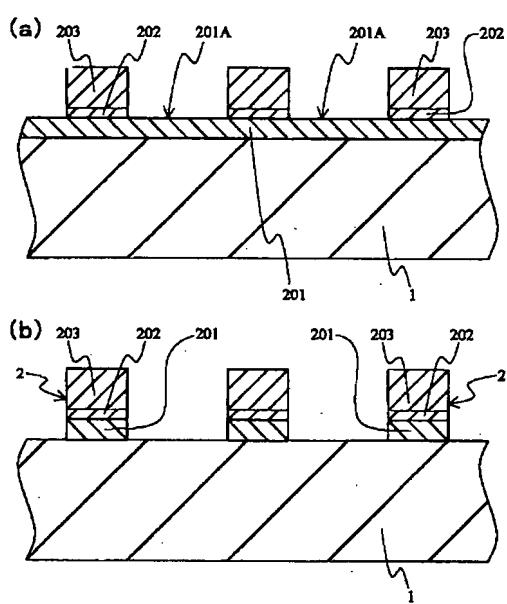
【図3】



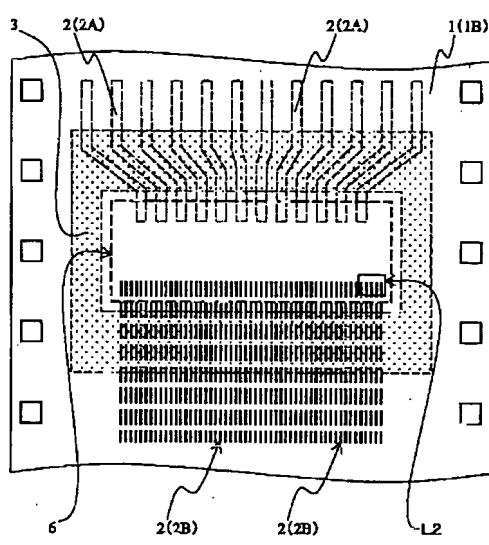
【図4】



【図5】

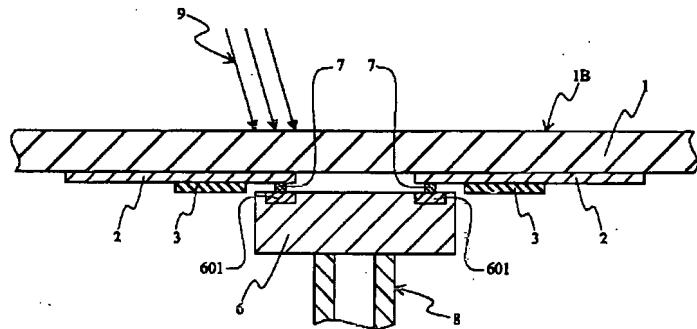


【図6】

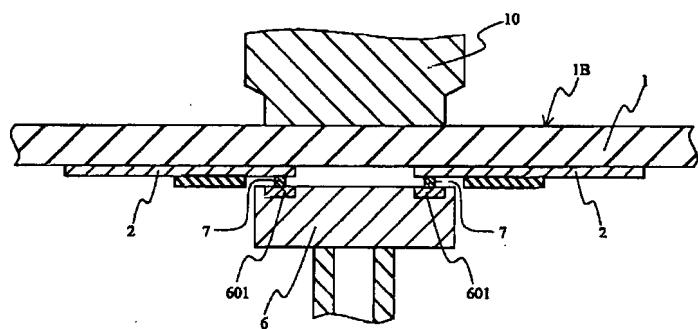


(11) 2003-37137 (P2003-37137A)

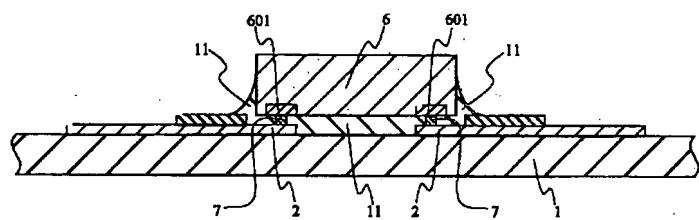
【図7】



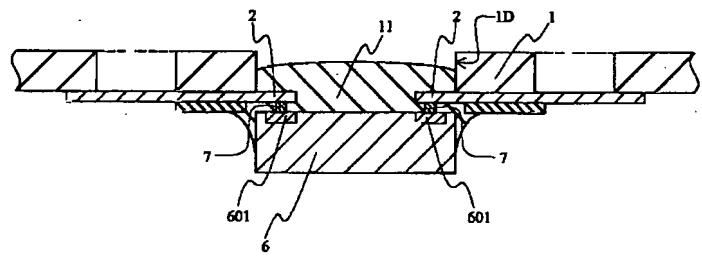
【図9】



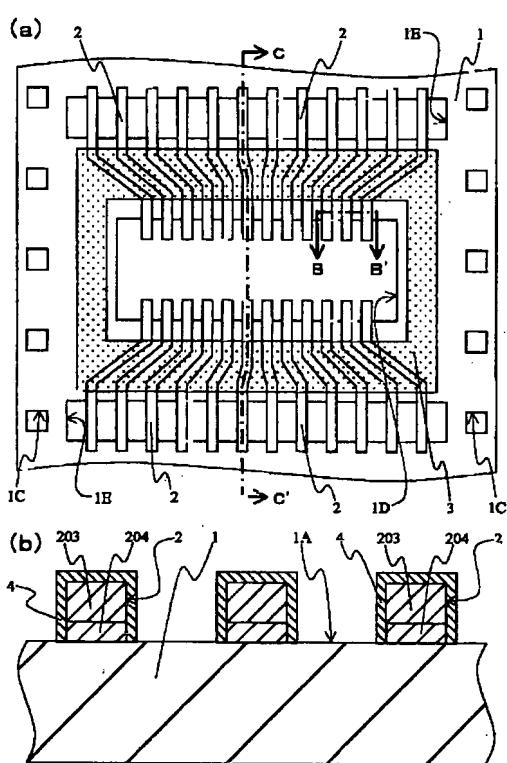
【図10】



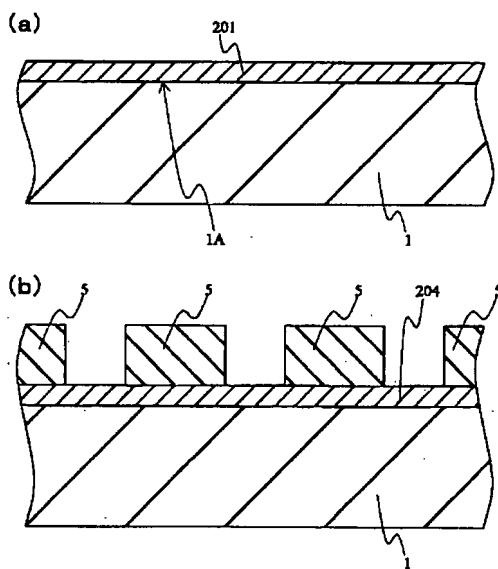
【図16】



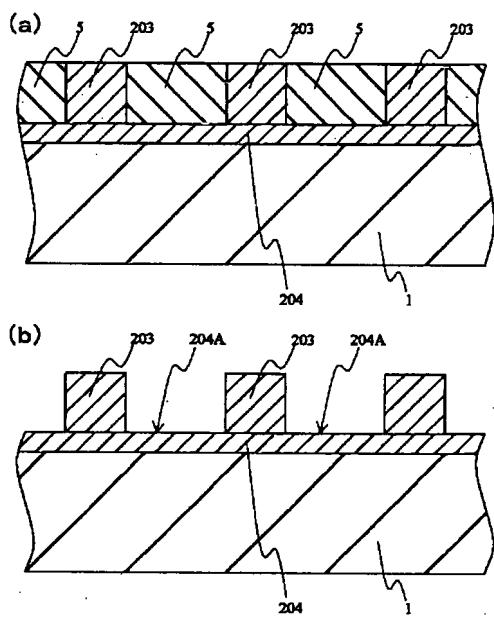
【図11】



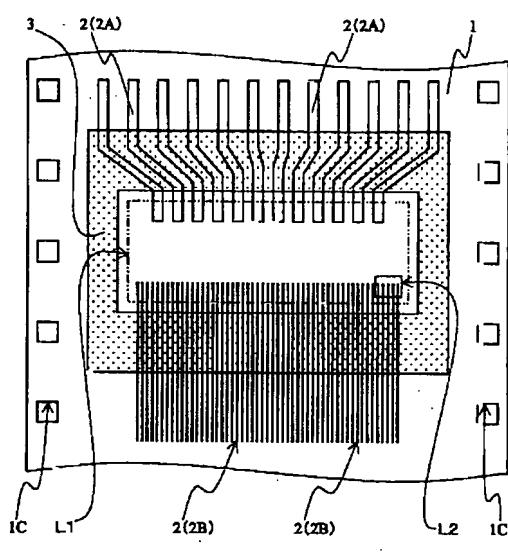
【図12】



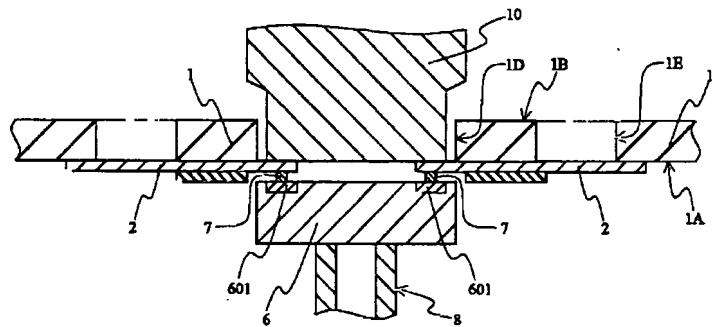
【図13】



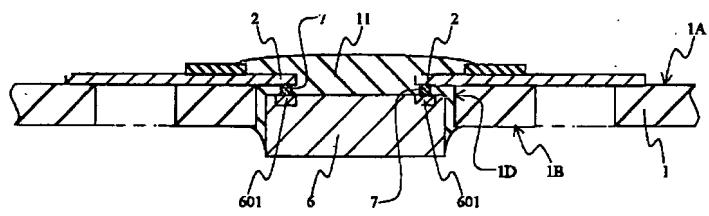
【図18】



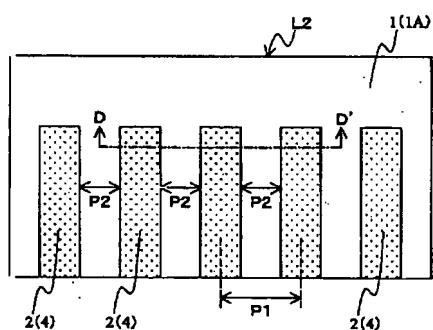
【図15】



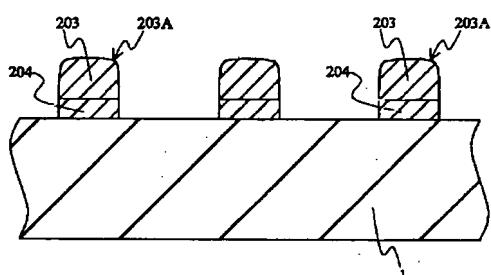
【図17】



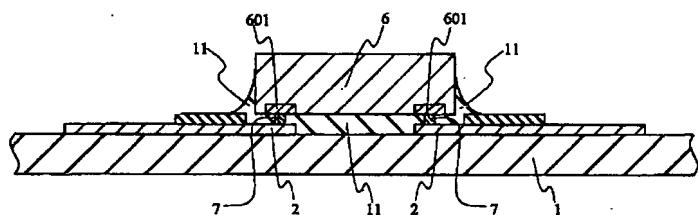
【図19】



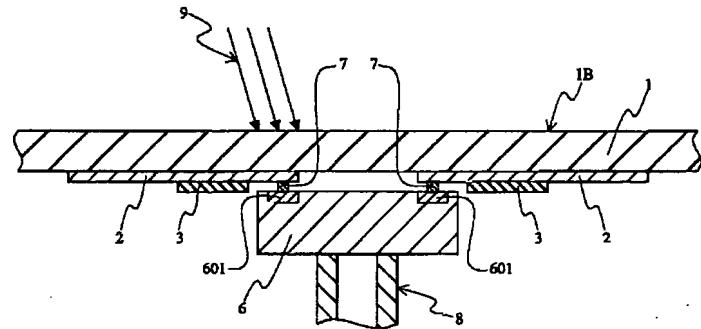
【図24】



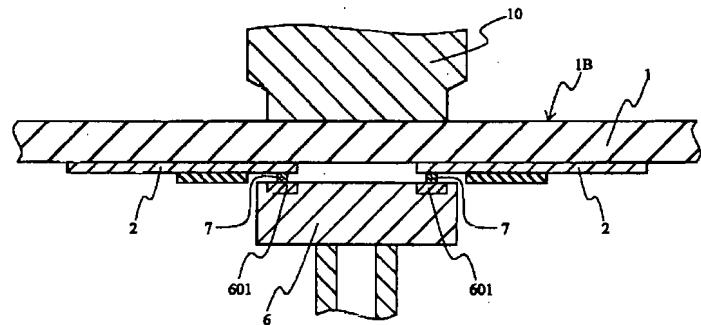
【図22】



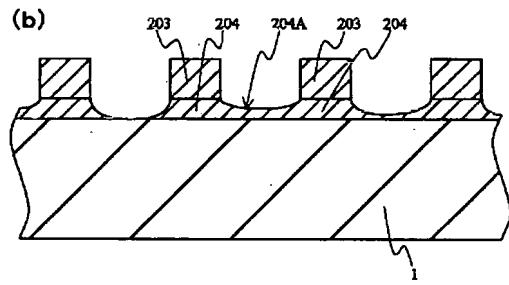
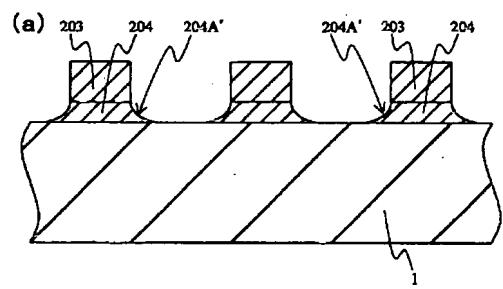
【図20】



【図21】



【図23】



フロントページの続き

F ターム(参考) 4E351 AA04 BB01 BB33 BB35 CC03  
CC06 DD04 DD17 GG20  
5E339 AA02 AB02 AC06 AD01 BC02  
BD03 BD08 BD11 BE13 BE17  
CD05 CE01 GG01  
5E343 AA03 AA05 AA18 AA33 BB24  
BB38 CC62 DD25 DD43 ER13  
ER16 ER18 ER26 GG06 GG20  
5F044 MM03 MM22 MM48

# IDS REFERENCES



FOR

## METHOD FOR MANUFACTURING CIRCUIT SUBSTRATE FOR IC PACKAGE

Publication number: JP2004259774

Publication date: 2004-09-16

Inventor: HORIGUCHI HIRONOBU

Applicant: SUMITOMO METAL MINING CO

Classification:

- International: H05K3/00; H01L21/60; H01L23/14; H05K3/26;  
H05K3/00; H01L21/02; H01L23/12; H05K3/26; (IPC1-  
7): H05K3/00; H01L21/60; H01L23/14; H05K3/26

- European:

Application number: JP20030046311 20030224

Priority number(s): JP20030046311 20030224

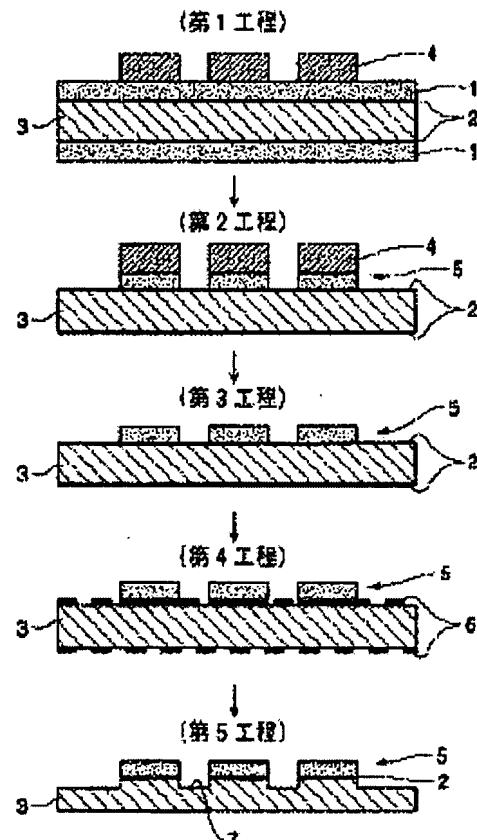
[Report a data error here](#)

### Abstract of JP2004259774

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a circuit substrate for an IC package in which a metal residue between conductor circuits for causing the decrease of an insulation deterioration lifetime due to migration occurring by the fine-pitching of the conductor circuits without selecting a metal seed, and which can surely remove the metal residue inexpensively.

**SOLUTION:** The method for manufacturing the bendable circuit substrate for the IC package having the conductor circuit on the front surface of a polyimide resin film includes steps of forming the conductor circuit on the front surface of the polyimide resin film, then removing the metal residue by treating with an alkaline aqueous solution containing at least the alkali metal salt of a permanganic acid or hydrogen chloride nature etching liquid, and etching the front surface of the polyimide resin film exposed between the conductor circuits to a predetermined depth.

**COPYRIGHT:** (C)2004,JPO&NCIPI



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-259774

(P2004-259774A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int.Cl.<sup>7</sup>

H05K 3/00  
H01L 21/60  
H01L 23/14  
H05K 3/26

F 1

H05K 3/00  
H05K 3/00  
H01L 21/60  
H05K 3/26  
H05K 3/26

テーマコード(参考)

5E343  
5F044  
311W  
B  
E

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に統く

(21) 出願番号  
(22) 出願日

特願2003-46311 (P2003-46311)  
平成15年2月24日 (2003.2.24)

(71) 出願人

住友金属鉱山株式会社  
東京都港区新橋5丁目11番3号

(74) 代理人

100046719

弁理士 押田 良輝

(72) 発明者

堀口 宏伸

鹿児島県大口市牛尾1755-2 大口電

子株式会社内

F ターム(参考) 5E343 AA18 AA33 BB24 EE02 EE15  
EE37 GG14  
5F044 MM06 MM48

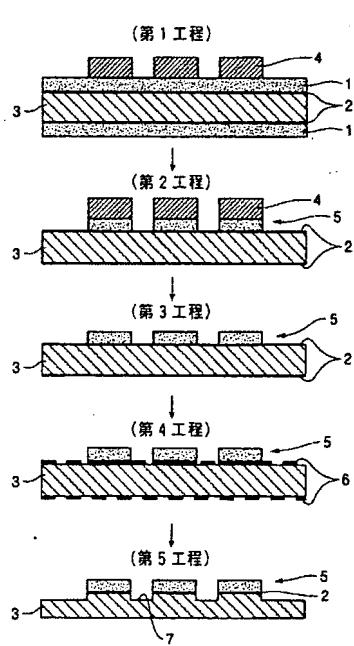
(54) 【発明の名称】 ICパッケージ用回路基板の製造方法

(57) 【要約】

【課題】導体回路のファインピッチ化によって起こるマイグレーションによる絶縁劣化寿命低下の要因とされる導体回路間の金属残渣を、金属種を選ばずしかも低成本で確実に除去し得る、ICパッケージ用回路基板の製造方法を提供する。

【解決手段】ポリイミド樹脂膜の表面に導体回路を有する屈曲可能なICパッケージ用回路基板を製造する方法において、ポリイミド樹脂膜の表面に導体回路を形成した後、少なくとも過マンガン酸のアルカリ金属塩を含むアルカリ性水溶液、または塩酸性エッティング液で処理して金属残渣を除去し、前記導体回路間に露出したポリイミド樹脂膜表面を所定の深さにエッティングすることを特徴とする。

【選択図】 図1



**【特許請求の範囲】****【請求項1】**

高絶縁性を有するポリイミド樹脂膜の表面に導体回路を有する屈曲可能なICパッケージ用回路基板を製造する方法において、ポリイミド樹脂膜の表面に導体回路を形成した後、少なくとも過マンガン酸のアルカリ金属塩を含むアルカリ性水溶液、または塩酸性エッティング液で処理して金属残渣を除去し、前記導体回路間に露出したポリイミド樹脂膜表面を、深さがポリイミド樹脂膜厚の半分以下となるようにエッティングすることを特徴とするICパッケージ用回路基板の製造方法。

**【請求項2】**

前記エッティング液として、2-アミノエタノールを33～35wt%含む水溶液、または、水酸化カリウムを28～30wt%含む水溶液を用いることを特徴とする請求項1記載のICパッケージ用回路基板の製造方法。

**【請求項3】**

前記ポリイミド樹脂膜は、リールツウリール搬送方式で連続湿式エッティングすることを特徴とする請求項1記載のICパンケージ用樹脂基板の製造方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、ICパッケージに用いられる回路基板の製造方法に係り、より詳しくはポリイミド樹脂膜を用いたICパッケージ用回路基板の製造方法に関する。

**【0002】****【従来の技術】**

従来、非常に高い絶縁性を有するポリイミドフィルム上に導体回路を形成したテープ基板は、屈曲可能な特徴を生かして、液晶表示装置の表示素子周辺のICパッケージに組み込まれたり、表面実装部品に組み込まれたりして、利用されている。

このテープ基板の製造方法には、サブトラクティブ法とアディティブ法があり、サブトラクティブ法は、ポリイミド樹脂膜と、少なくとも銅を含む導体層をあらかじめ一体化した積層板の導体層上に、印刷法または写真法によりレジストパターンを形成し、露出している導体層をエッティング法により除去し、かかる後レジストを除去し、場合によってはアルカリ性過マンガン酸塩水溶液で処理して導体回路間の金属残渣を除去して導体回路を形成する方法であり、アディティブ法は、ポリイミド樹脂膜上にあらかじめ定められた金属を触媒として付与し、ついで導体回路を形成する部分を除いてレジストで保護した後に無電解めっき法により、少なくとも銅を含む導体層を形成する方法である。そして、両方法共に、導体回路形成後には絶縁性を備えた樹脂膜で外部接続端子部以外の導体回路を被覆し、外部接続端子には少なくとも錫または金を含む金属を電解または無電解めっき法により析出させる。

**【0003】**

上記のようにして作成される回路基板は、半導体素子の高性能化に伴って導体回路を高密度化する必要がある、年々、導体回路線幅および導体回路間距離が縮小されてきている。その上で被覆絶縁層と回路基板との密着性や、電気絶縁性が信頼性確保の上で特に重要なになってきている。ここで、回路基板が実装部品として装置に組み込まれたとき、長期信頼性を期する上で最も懸念される現象は、イオンマイグレーションである。

**【0004】**

イオンマイグレーションは、高温高湿環境において、電圧を印可した場合、導体回路間を埋めている絶縁性樹脂膜とポリイミド樹脂膜との接着界面に浸透した水分が、密着部分の剥離を引き起こし、電極間に微少な電流が流れる経路が形成され、絶縁層に含まれるハロゲンイオンと一緒に加速因子として作用し、接着界面に沿って起こる現象である。一般に、イオンマイグレーションは陽極となる電極から金属が溶出し、陰極となる対電極表面にデンドライトとして成長し、最終的には両電極間で短絡する現象をさす。しかし、近年では、絶縁性樹脂膜中に含まれるハロゲンイオン量はメーカーによる改善で、問題にならなくな

いレベルにまで低減されてきている。

しかるに、近年のポリイミド樹脂膜と導体層を一体化した積層板は、少なくとも銅を含む導体層とポリイミド樹脂膜との間に亜鉛またはニッケルまたはクロム、またはこれら金属のうち2種を含む層を介在させる方法や、導体層を粗化処理する方法、また、その両方を用いることによりポリイミド樹脂膜と導体層の密着性が非常に改善されているが、そのため導体回路形成後には導体回路間のポリイミド樹脂膜上に、マイグレーションを加速する因子となる金属残渣が生じる。したがって、ICパッケージ用テープ基板に求められる信頼性を確保するためには、導体回路間の金属残渣を除去することが重要となる。

#### 【0005】

導体回路間のポリイミド樹脂膜上の金属残渣を除去する方法としては、従来、以下に記載する方法が知られている。

▲1▼ 導体回路形成後であって絶縁性樹脂膜で導体回路間を埋める前に、少なくともアルゴンを含むプラズマ雰囲気下に、導体回路を形成した後のICパッケージ用テープ基板を晒すことにより金属残渣を乾式エッチングする方法。

▲2▼ 導体回路形成後であって絶縁性樹脂膜で導体回路間を埋める前に、少なくとも過マンガン酸のアルカリ金属との塩を含むアルカリ性水溶液中で導体回路形成後のテープ基板を処理することにより金属残渣を湿式エッチングする方法。

#### 【0006】

しかしながら、上記▲1▼の方法では、確実に金属残渣を除去できるが、形成済み配線が削れてしまい、ファインピッチ化した基板に対しては配線を切断してしまう危険性がある。また、乾式エッチングであるため連続処理が困難であり生産性が著しく低下するため、低コストが重要である基板製造法としては不利である。一方、▲2▼の方法では、コイル状に巻き取られた基板を一度に連続処理できるが、除去できる金属種が限定されるため、金属種の数に応じた異なる処理液を使用しなければならず、ライン構成上不利である。

#### 【0007】

##### 【発明が解決しようとする課題】

本発明は、上記した従来技術の問題を解決するためになされたもので、導体回路のファインピッチ化によって起こるマイグレーションによる絶縁劣化寿命低下の要因とされる導体回路間の金属残渣を、金属種を選ばずしかも低コストで確実に除去し得る、ICパッケージ用回路基板の製造方法を提供することを目的とするものである。

#### 【0008】

##### 【課題を解決するための手段】

本発明は上記目的を達成するためになされたもので、その要旨は、高絶縁性を有するポリイミド樹脂膜の表面に導体回路を有する屈曲可能なICパッケージ用回路基板を製造する方法において、ポリイミド樹脂膜の表面に導体回路を形成した後、少なくとも過マンガン酸のアルカリ金属塩を含むアルカリ性水溶液、または塩酸性エッチング液で処理して金属残渣を除去し、前記導体回路間に露出したポリイミド樹脂膜表面を、深さがポリイミド樹脂膜厚の半分以下となるようにエッチングすることを特徴とする。

また、この方法における前記エッチング液として、2-アミノエタノールを33～35wt%含む水溶液、または、水酸化カリウムを28～30wt%含む水溶液を用いることを特徴とし、前記ポリイミド樹脂膜は、リールツウリール搬送方式で連続湿式エッチングすることを特徴とするものである。

#### 【0009】

本発明におけるエッチング液として、2-アミノエタノールを33～35wt%含む水溶液、または、水酸化カリウムを28～30wt%含む水溶液に限定したのは、以下に示す理由による。

すなわち、2-アミノエタノールが33wt%未満、または、水酸化カリウムが28wt%未満では、ポリイミド樹脂が虫食い状にエッチングされて良好な形状を持つ溝を形成できず、他方、2-アミノエタノールまたは水酸化カリウムがそれぞれ35wt%、30wt%を超えると、極度にエッチング速度が低下するためである。

**【0010】****【発明の実施の形態】**

図1は本発明の一実施例を示すICパッケージ用回路基板の製造工程図で、1は導体層、2は介在金属層、3はポリイミド樹脂膜、4はエッチング用レジスト、5は導体回路、6は金属残渣、7は導体回路間のエッチングされたポリイミド樹脂膜である。

**【0011】**

すなわち、本発明はまず第1工程において、ポリイミド樹脂膜3の両面に、少なくとも銅を含む導体層1を密着性を確保するための介在金属層2を介して一体化した積層板の片方の導体層1上に、印刷法または写真法によりレジストパターンを形成する。次に、第2工程において、露出している導体層1を塩酸性銅または鉄エッチング液にて両面とも除去する。続いて、第3工程において、アルカリ性水溶液等にてエッチング用レジスト4を剥離して導体回路5を形成する。しかし後、第4工程において、ポリイミド樹脂膜3表面上に露出している金属残渣6をアルカリ性過マンガン酸水溶液にて除去し、最終工程の第5工程において、導体回路5間に露出したポリイミド樹脂膜3表面を、深さが当該ポリイミド樹脂膜厚の半分以下となるようにエッチングして、回路基板を製造する。

この回路基板は、テープ基板の屈曲可能な性質を生かしてリールに巻き取られたテープ基板を巻きだしながら連続的に処理して、処理後のテープ基板をリールに巻き取る方式で製造することが可能である。

なお、エッチング液には前記のごとく、2-アミノエタノールを33～35wt%含む水溶液、または、水酸化カリウムを28～30wt%含む水溶液を用いるのが好ましい。

**【0012】**

本発明では上記のごとく、導体回路3間に露出しているポリイミド樹脂膜3をエッチングするので、ポリイミド樹脂膜3と少なくとも銅を含む導体層1を密着させる目的で介在させてある金属を導体回路形成後に確実に除去できる。

また、本発明において使用するエッチング液は、ヒドラジン系のエッチング液に比べて毒性が低いので、安全性が高い。

**【0013】****【実施例】**

APiCa1 NPI 50μm厚（鐘淵化学製）をベースフィルムとした無接着剤タイプの二層両面銅張り積層板S-Perflex（住友金属鉱山製、銅18μm/APical NPI 50μm/銅18μm、介在金属は少なくともCrを含む）の片面にドライフィルムタイプのエッチング用レジストAQ1558（旭化成製）を1Torr以下の真空下にて熱圧着して両面の銅箔上に貼りあわせ、次に、片面のレジストのパターンを紫外線露光、次いで2wt%炭酸ソーダ水溶液による現像により形成後（第1工程）、エッチング液として塩酸性銅と鉄エッチング液を用いて、露出している銅箔部分をエッチングして除去した（第2工程）。その後、1wt%苛性ソーダ水溶液でレジストを両面とも剥離して導体回路を形成した（第3工程）。続いて、銅を除去した後にポリイミド樹脂膜表面上に介在金属層であるCrが露出しているので、これを強アルカリ性過マンガン酸水溶液中に浸漬して除去した（第4工程）。しかし後、2-エタノールアミンを33wt%、苛性カリを28wt%含む水溶液を60℃から90℃に加温した中に3分間程度浸して水溶液を攪拌し、その後、湯洗、水洗、硫酸による酸洗、水洗を経て乾燥した（第5工程）。

こうして作成したテープ基板は、導体回路間の金属残渣が下地のポリイミドフィルムごと完全に除去されていた。

**【0014】****【発明の効果】**

以上説明したように、本発明のICパッケージ用テープ基板製造法は、屈曲可能なポリイミド樹脂膜上にサブトラクティブ法またはアディティブ法により導体回路を形成した後、少なくとも過マンガン酸のアルカリ金属塩を含むアルカリ性水溶液、または塩酸性エッチング液で処理して、導体回路間の金属残渣を、介在金属種を問わず除去することが可能

であるから、導体回路のファインピッチ化によって起こるマイグレーションによる絶縁劣化寿命低下の要因とされる導体回路間に存在する金属残渣を、金属種を選ばずしかも低コストで確実に除去することができ、さらにテープ基板の屈曲可能な性質を生かしてリールに巻き取られたテープ基板を巻きだしながら連続的に処理して、処理後のテープ基板をリールに巻き取る方式で回路基板を製造することができるから、高品質の回路基板を低成本で製造することができるという優れた効果を奏する。

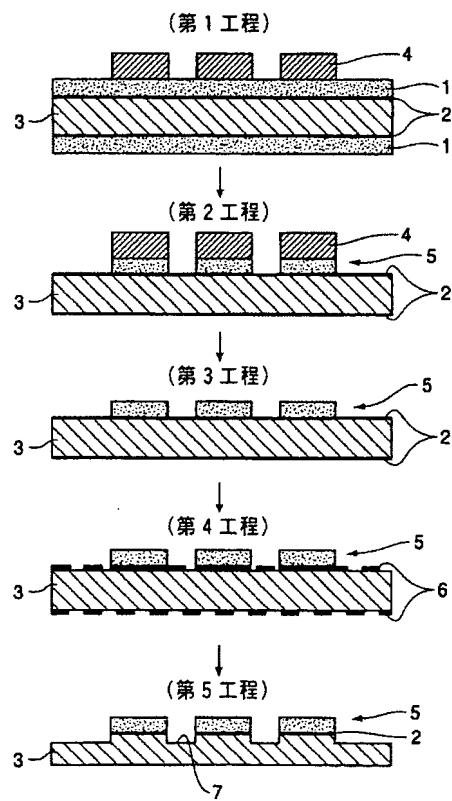
【図面の簡単な説明】

【図1】本発明の一実施例を示すICパッケージ用回路基板の製造工程図である。

【符号の説明】

- 1 導体層
- 2 密着性を確保するための介在金属層
- 3 ポリイミド樹脂膜
- 4 エッチング用レジスト
- 5 導体回路
- 6 金属残渣
- 7 導体回路間のエッチングされたポリイミド樹脂膜

【図1】



(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 01 L 23/14

R